

**Soutenance de l'UE Communication**

*Sous le thème :*

**AUTOMATED DESIGN DEBUGGING WITH  
MAXIMUM SATISFIABILITY**

1

**Encadré par:** M. Djamal HABET  
**Préparé par :** Meryam KECHBAL

2<sup>ème</sup> année de Master IAAA  
2018/2019

# INTRODUCTION

2

**Auteurs** : Yibin Chen; Sean Safarpour ; Joao Marques –Silvia; Andreas Veneris

**Publié à** : **IEEE Transactions on computer-Aided Design of Integrated Circuits and systems** ( **Vol: 29, Issue: 11, Nov.2010**)

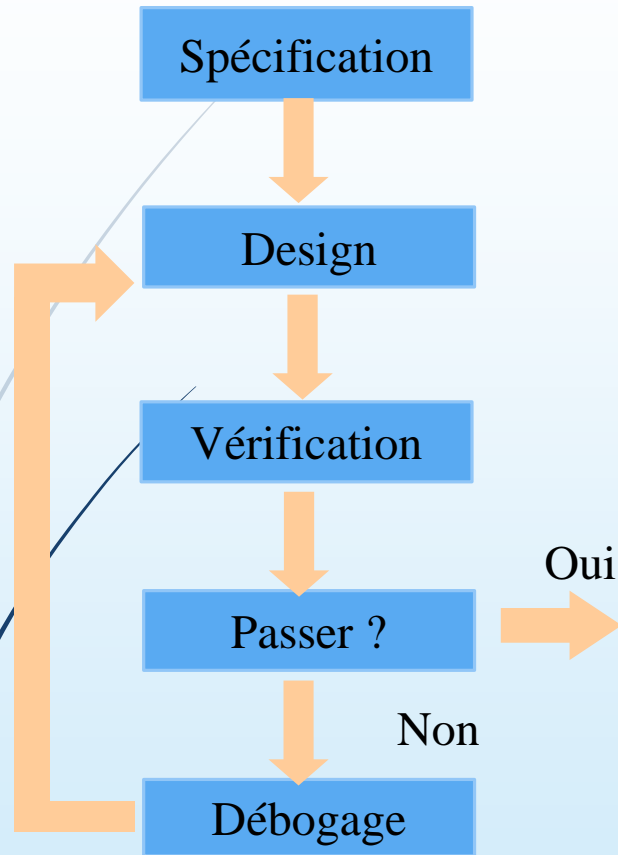
**Page(s)**: 1804 - 1817

**Date de publication** : 18 October 2010

**Objectif** : Comprendre l'utilisation de Max-SAT sur une application de nature industrielle

# INTRODUCTION

3



# Plan

**I. Satisfiabilité Maximum (Max-SAT)**

**II. Débogage de circuits combinatoires**

**III. Débogage de circuits séquentiels**

**IV. Débogage utilisant le groupement de clauses**

**V. Expérimentations**

**Conclusion**

# I. Satisfiabilité Maximum (Max-SAT)

# I. Satisfiabilité Maximum (Max-SAT)

6

**Max-SAT** : Trouver une interprétation des variables de  $X$  qui maximise le nombre de clauses satisfaites d'une FNC.

**Max-SAT partiel** : Les clauses sont divisées en clauses dures et souples, l'objectif est de trouver une interprétation qui satisfait toutes les clauses dures et maximise le nombre de clauses souples.

## **II. Débogage de circuits combinatoires**

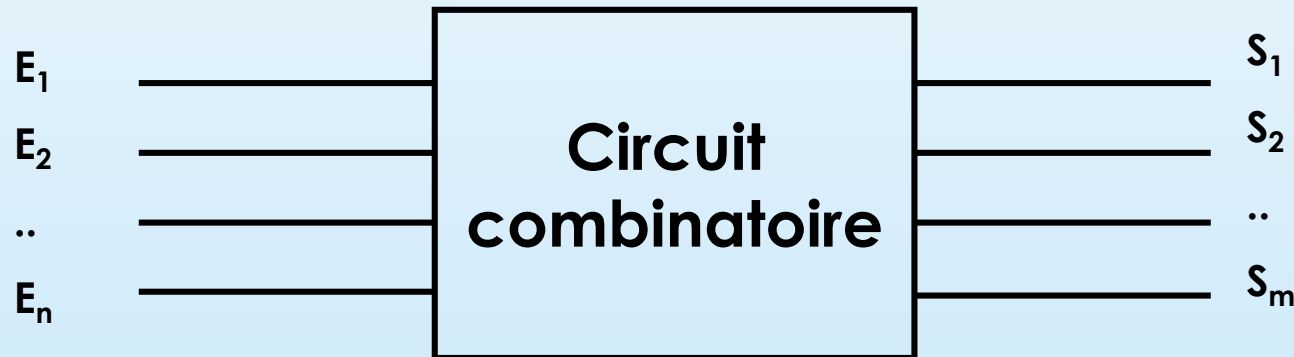
## II. Débogage de circuits combinatoires

8

### Circuit combinatoire :

Un circuit combinatoire est un circuit numérique dont **les sorties** dépendent uniquement **des entrées**.

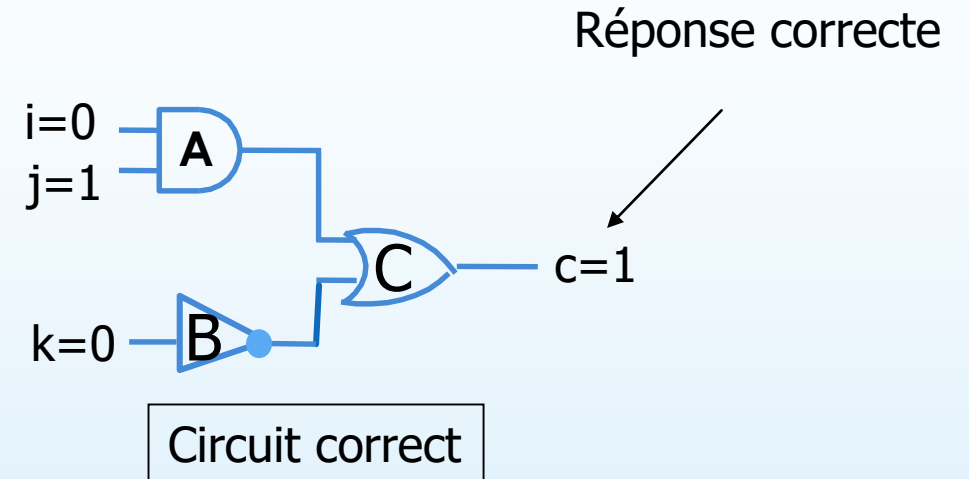
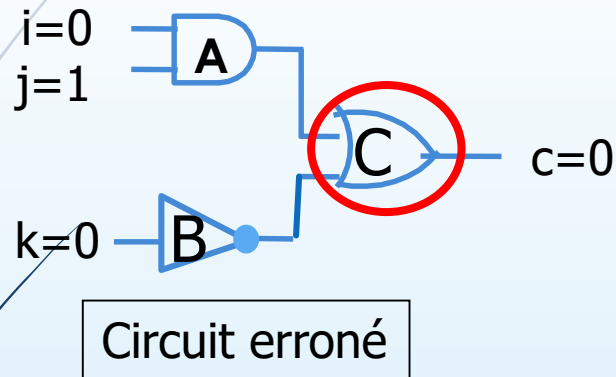
$$S_i = F(E_1, E_2, \dots, E_n)$$





## II. Débogage de circuits combinatoires

9



Formulation de Max-SAT partiel pour les circuits combinatoire :

$$\Phi = [I][O] \cdot \text{CNF}(C)$$

- CNF (C) est la représentation CNF du circuit erroné
- I : contraintes d'entrée
- O : contraintes de sortie attendues

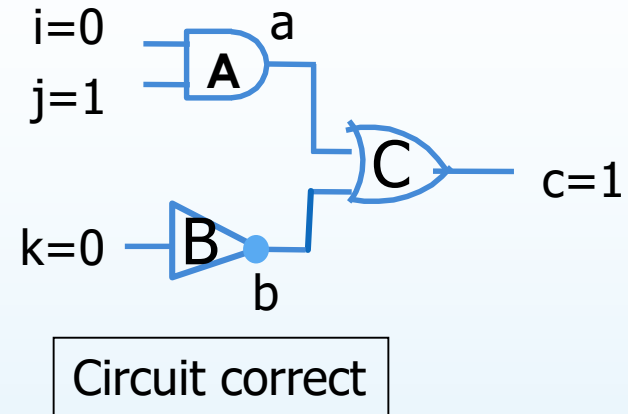
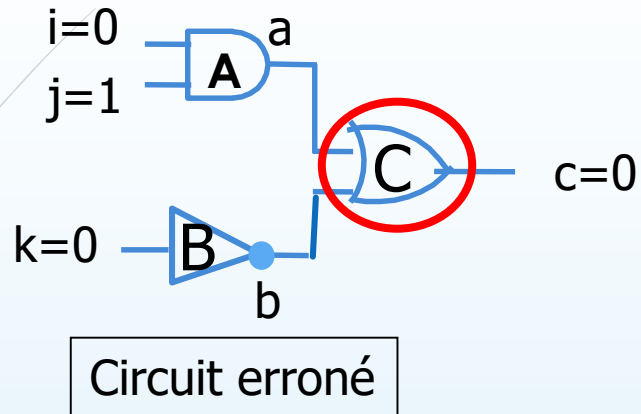
## II. Débogage de circuits combinatoires

10

Porte	Fonction	CNF
AND	$Y = AND(x_1, x_2, \dots, x_n)$	$(x_1 + \bar{y}) \cdot (x_2 + \bar{y}) \cdot \dots \cdot (x_n + \bar{y})$ $(\bar{x}_1 + \bar{x}_2 + \dots + \bar{x}_n + \bar{y})$
OR	$Y = OR(x_1, x_2, \dots, x_n)$	$(x_1 + \bar{y}) \cdot (x_2 + \bar{y}) \cdot \dots \cdot (x_n + \bar{y})$ $(\bar{x}_1 + \bar{x}_2 + \dots + \bar{x}_n + \bar{y})$
XOR	$Y = XOR(x_1, x_2, \dots, x_n)$	$(\bar{x}_1 + x_2 + y) \cdot (x_1 + \bar{x}_2 + y)$ $(x_1 + x_2 + \bar{y}) \cdot (\bar{x}_1 + \bar{x}_2 + \bar{y})$
NAND	$Y = NAND(x_1, x_2, \dots, x_n)$	$(\bar{x}_1 + y) \cdot (x_2 + y) \cdot \dots \cdot (x_n + y)$ $(\bar{x}_1 + \bar{x}_2 + \dots + \bar{x}_n + \bar{y})$
NOR	$Y = NOR(x_1, x_2, \dots, x_n)$	$(\bar{x}_1 + \bar{y}) \cdot (\bar{x}_2 + \bar{y}) \cdot \dots \cdot (\bar{x}_n + \bar{y})$ $(x_1 + x_2 + \dots + x_n + y)$

## II. Débogage de circuits combinatoires

11



### Formulation de Max-SAT partiel :

$$[\bar{i}][\bar{j}][\bar{k}][\bar{c}]$$

$$A : (i + \bar{a})(j + \bar{a})(\bar{i} + \bar{j} + a)$$

$$B : (\bar{k} + \bar{b})(k + b)$$

$$C : (\bar{a} + c)(\bar{b} + c)(a + b + \bar{c})$$

**Remarque :** Le nombre maximum des clauses qui peuvent être satisfaites pour ce Problème est 10 sur 12.

## II. Débogage de circuits combinatoires

12

Solutions

$$S_1 = \{C : (\bar{a} + c), C : (\bar{b} + c)\}$$

$$S_2 = \{A : (\bar{i} + \bar{j} + a), C : (\bar{b} + c)\}$$

$$S_3 = \{C : (\bar{a} + c), B : (k + b)\}$$

$$S_4 = \{A : (\bar{i} + \bar{j} + a), B : (k + b)\}$$

Comment s'assurer d'avoir une solution une seule fois ?

$$Cl_b = [Cl_1^l + Cl_2^l + \dots + Cl_m^l]$$

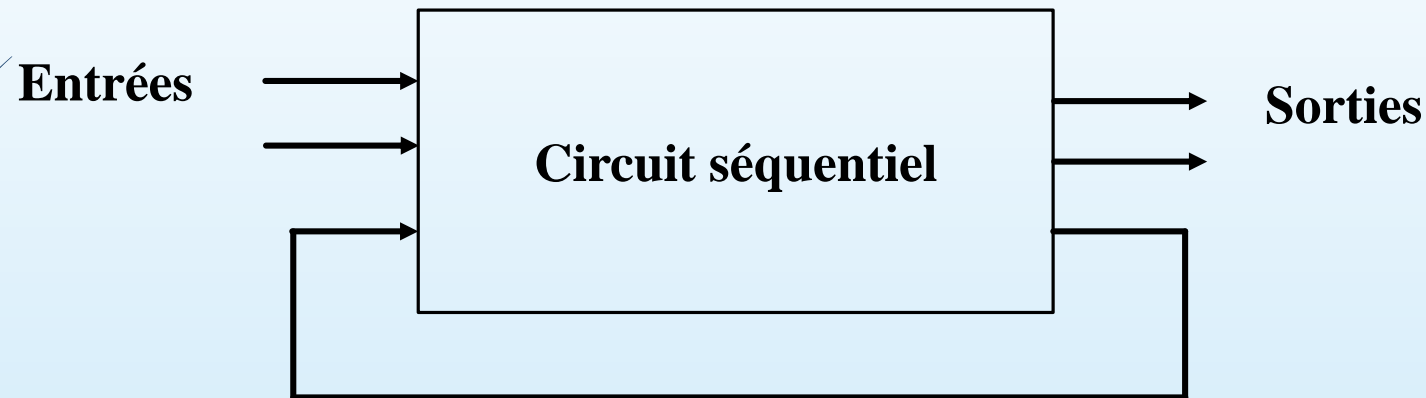
Bloquer la solution  $S_2 \longrightarrow (\bar{i} + \bar{j} + a + \bar{b} + c) \in \Phi$

## III. Débogage de circuits séquentiels

# III. Débogage de circuits séquentiels

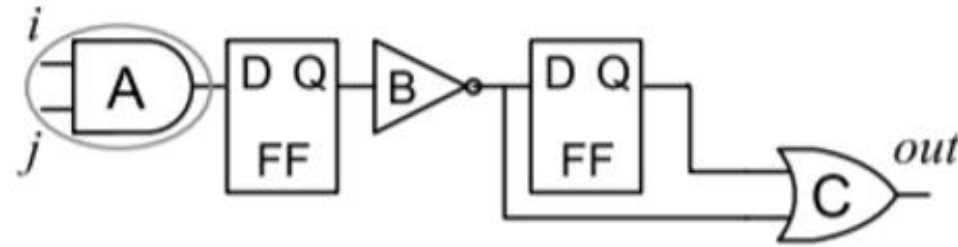
14

1. **Circuit séquentiel**
2. Un circuit combinatoire est un circuit numérique dont **les sorties** dépendent **des entrées** et de **l'état initial des sorties**.

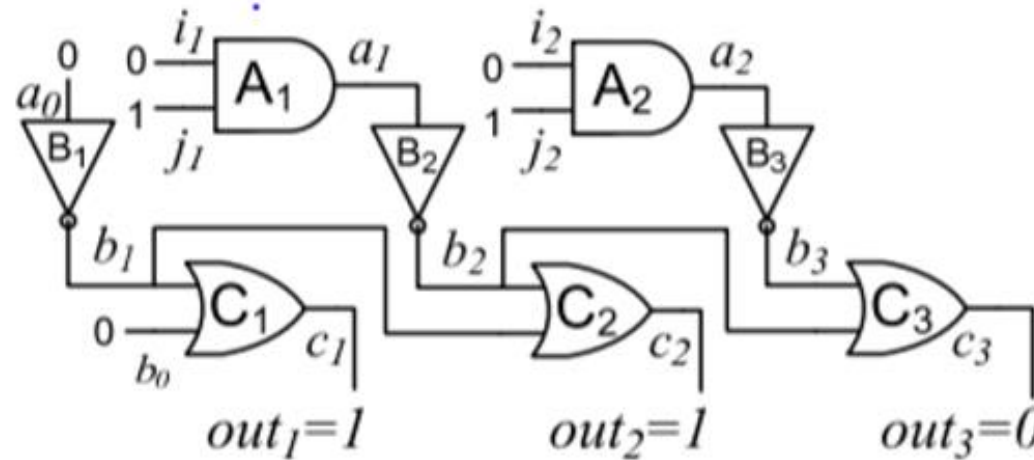


# III. Débogage de circuits séquentiels

15



(a) Erroneous Circuit



(b) ILA Representation

**Iterative Logic Array (ILA)**  
modèle d'expansion de la période

### III. Débogage de circuits séquentiels

16

Formulation de Max-SAT partiel pour les circuits séquentiels :

$$\Phi = \prod_{i=1}^k [I^i][O^i].[IS].CNF(ILA_k(C))$$

Solutions proposées par un solveur Max-SAT :

$$S_1 = \{A_1 : (i_1 + \bar{a}_1), A_2 : (i_2 + \bar{a}_2)\}$$

$$S_2 = \{A_1 : (i_1 + \bar{a}_1), B_3 : (a_2 + b_3)\}$$

$$S_3 = \{A_1 : (i_1 + \bar{a}_1), C_3 : (\bar{b}_3 + c_3)\}$$

$$S_4 = \{B_2 : (a_1 + b_2), A_2 : (i_2 + \bar{a}_2)\}$$

$$S_5 = \{B_2 : (a_1 + b_2), B_3 : (a_2 + b_3)\}$$

$$S_6 = \{B_1 : (a_1 + b_2), C_3 : (\bar{b}_3 + c_3)\}$$

$$S_7 = \{C_3 : (\bar{b}_2 + c_3), A^2 : (i_2 + \bar{a}_2)\}$$

$$S_8 = \{C_3 : (\bar{b}_2 + c_3), B_3 : (a_2 + b_3)\}$$

$$S_9 = \{C_3 : (\bar{b}_2 + c_3), C_3 : (\bar{b}_3 + c_3)\}$$



### III. Débogage de circuits séquentiels

17

**La recherche de toutes les solutions d'un circuit séquentiel est coûteuse en temps (transformation ILA)**



**Recherche rapide de solutions**

**Emploi d'un algorithme de recherche locale**

## **IV. Débogage utilisant le groupement de clauses**

## IV. Débogage utilisant le groupement de clauses

19

**Les regroupements de clauses permettent une plus grande souplesse dans la formulation du problème de débogage**

Parmi les types de groupements :

- **Groupings based on Gates**
- **Groupings based on Time Frame**
- **Groupings based on Modules**

## IV. Débogage utilisant le groupement de clauses

20

### Groupings based on Gates

La suppression d'une des clauses souples unitaire doit satisfaire toutes les clauses dans sa porte respective.

$$[i][j][\bar{k}][\bar{c}]$$

$$A : (i + \bar{a} + ya)(j + \bar{a} + ya)(\bar{i} + \bar{j} + a + ya)$$

$$B : (\bar{k} + \bar{b} + yb)(k + b + yb)$$

$$C : (\bar{a} + c + yc)(\bar{b} + c + yc)(a + b + \bar{c} + yc)$$

$$(\bar{y}a)(\bar{y}b)(\bar{y}c)$$

# V. Expérimentations

# V. Expérimentations

22

Error Trace			SAT-Based Debugging			Clause-Level Debugging				
circuit	# gates	# time frames	# lits	# clauses	time in sec.	# lits	# clauses	% clause reduction	time in sec.	speed up
divider_1	6291	40	9454k	3734k	39.31	1830k	736k	80.29%	11.32	3.47
divider_2	6291	40	9641k	3807k	37.59	1869k	751k	80.27%	13.72	2.74
fpu_1	86020	40	153191k	60804k	2182.57	27424k	10313k	83.04%	462.12	4.72
fpu_2	87144	19	6013k	2441k	20.24	774k	316k	87.05%	8.64	2.34
hpdmc_1	18444	28	4677k	1859k	24.19	794k	319k	82.83%	3.39	7.14
hpdmc_2	18444	58	7464k	2896k	45.26	1724k	696k	75.97%	11.67	3.88
mem_ctrl_1	55174	40	92935k	37173k	358.45	14657k	5896k	84.14%	26.95	13.3
mem_ctrl_2	55174	40	96131k	38441k	422.53	15206k	6113k	84.10%	31.86	13.26
mips789_1	73600	32	131773k	53315k	606.4	17342k	6954k	86.96%	96.01	6.32
mips789_2	38524	158	8569k	3280k	47.04	2293k	957k	70.82%	278.51	0.17
mrisc_1	22452	42	40694k	16164k	361.79	6973k	2755k	82.95%	15.57	23.24
pipeline_1	5843	181	24776k	9306k	122.96	7039k	2779k	70.14%	22.52	5.46
pipeline_2	6318	69	14377k	5581k	70.25	3203k	1302k	76.67%	11.35	6.19
rsdecoder_1	15738	50	31771k	12623k	632.56	5458k	2250k	82.17%	17.87	35.4
rsdecoder_2	15732	100	49634k	19286k	509.02	10913k	4500k	76.67%	1616.14	0.31
spi_1	3427	14	3005k	1223k	19.76	351k	141k	88.47%	2.95	6.7
spi_2	3357	143	13697k	5207k	228.08	4036k	1635k	68.60%	142.45	1.6
sudoku_1	46668	61	102302k	40551k	435.44	18469k	7587k	81.29%	40.96	10.63
						Average:		<b>79.92%</b>	Average:	<b>4.49</b>

# Conclusion

# Conclusion

24

## Objectifs atteints

- Voir l'intérêt de Max-SAT dans les débogages
- Découvrir un nouveau domaine
- Traiter un article scientifique en anglais



**<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.167.9438&rep=rep1&type=pdf>  
Consulté le 23/01/2019**

**[https://tspace.library.utoronto.ca/bitstream/1807/18248/6/Chen\\_Yibin\\_200911\\_MASc\\_thesis.pdf](https://tspace.library.utoronto.ca/bitstream/1807/18248/6/Chen_Yibin_200911_MASc_thesis.pdf)  
Consulté le 23/01/2019**

**<http://www.eecg.toronto.edu/~veneris/7fmcad.pdf>  
Consulté le 23/01/2019**